



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10321628 A**(43) Date of publication of application: **04.12.98**

(51) Int. Cl. **H01L 21/3205**
H01L 21/304

(21) Application number: **09132394**(22) Date of filing: **22.05.97**(71) Applicant: **TOSHIBA CORP**

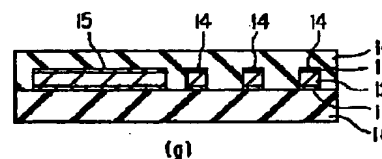
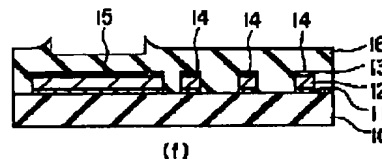
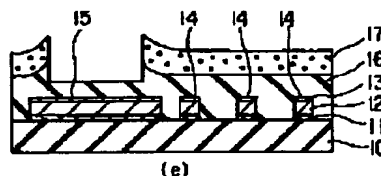
(72) Inventor: **SHIMOOKA YOSHIAKI**
MATSUNOU TADASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57) Abstract:**

PROBLEM TO BE SOLVED: To flatten the surface of an interlayer insulating film having roughness.

SOLUTION: A second insulating layer 16, where narrow width wirings 14 and a wide width wiring 15 are formed in lower positions, is coated with resist 11, and the resist on the wide width wiring is selectively removed by a photolithographic technique, so as to form a groove pattern corresponding to one wide wiring region. Next, the SiO₂ film 16 on the wide wiring is etched by using the RIE method. After the completion of etching, the resist 17 is removed by using O₂ plasma processing or the like. Next, CMP (Chemical Mechanical Polishing) is performed on the surface of the SiO₂ film 16, to flatten the SiO₂ film 16.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321628

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁵H 0 1 L 21/3205
21/304

識別記号

3 2 1

F I

H 0 1 L 21/88
21/304

K

3 2 1 M

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21) 出願番号 特願平9-132394

(22) 出願日 平成9年(1997)5月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 下岡 義明

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 松能 正

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

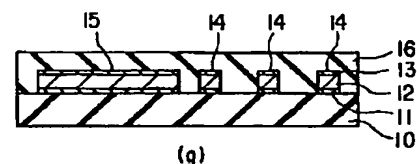
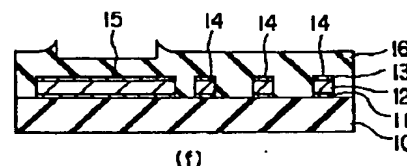
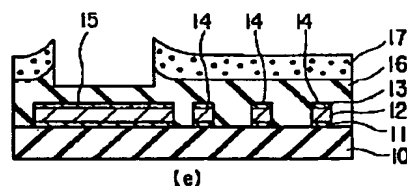
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 凹凸がある層間絶縁膜の表面を平坦化する。

【解決手段】 下方に狭幅配線14と広幅配線15が形成されている第2の絶縁層16上にレジスト17を塗布した後、フォトリソグラフィ技術により広幅配線上のレジストを選択的に除去し、1本の広幅配線領域に対し1本の溝パターンを形成する。次いで、RIE法を用いて広幅配線上のSiO₂膜16をエッチングする(図2

(e))。エッチング終了後、O₂プラズマ処理等を用いてレジスト17を除去する(図2(f))。次いで、SiO₂膜16表面に対してCMPを行い、SiO₂膜16の平坦化を図る(図2(g))。



【特許請求の範囲】

【請求項1】半導体基板上の第1の絶縁層上に金属配線を形成する工程と、

前記第1の絶縁層及び金属配線上に第2の絶縁層を成膜する工程と、

前記第2の絶縁層の高い領域に凹部を形成する工程と、

前記第2の絶縁層を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】前記第2の絶縁層を成膜する工程は、プラズマ中における気相反応を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記第2の絶縁層を成膜する工程は、高密度プラズマ中における気相反応を用い、且つイオン原子或いはイオン分子による物理的エッチングを伴うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記第2の絶縁層を平坦化する工程は、化学的機械研磨を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記第2の絶縁層の高い領域は、前記金属配線のパターン密度が平均密度よりも大きい領域であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】前記凹部は、ストライプ状、メッシュ状又は矩形状パターンで形成されることを特徴とする請求項1～5の何れかに記載の半導体装置の製造方法。

【請求項7】前記金属配線はポジ型レジストを用いてパターンニングされ、

前記金属配線のパターン密度が高い領域は該金属配線が複数本配置された領域であって、

前記第2の絶縁層上にネガ型レジストを塗布する工程と、

前記金属配線のパターン形成に用いた露光マスクに対して、最小線幅ルールより長い波長の光を前記第2の絶縁層の高い領域に焦点を合わせて照射し、前記第2のレジストを選択的に露光する工程と、

前記ネガ型レジストを現像し、前記第2の絶縁層の高い領域に開口部を有するレジストパターンを形成する工程と、

前記レジストパターンの開口部の第2の絶縁層に凹部を形成する工程とを含むことを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSI、DRAM、SRAM、CMOS、バイポーラ・トランジスタ等の半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、LSIの高集積化に伴い、その設計寸法ルールはサブミクロン領域に達すると共に、配線が多層化する傾向にある。上層及び下層の配線は層間絶

縁膜によって絶縁分離されるが、該層間絶縁膜の平坦化を行わない場合、上層配線になるほど層間絶縁膜の凹凸の影響を受ける。パターンサイズの縮小に伴い焦点深度も低下しているので、表面に大きな凹凸があると配線のパターンニングは困難になる。従って、層間絶縁膜の平坦化工程は今や必須の工程である。

【0003】層間絶縁膜の平坦化工程には、これまでレジストを用いたエッチング・バック法が用いられていた。現在では、更に平坦性を改善するために、化学機械研磨 (Chemical Mechanical Polish; CMP) 法による層間絶縁膜の研磨が主流になっている。

【0004】CMP法による研磨速度は、層間絶縁膜と研磨布とが接触する面積の密度に大きく依存する。即ち、接触面積密度の高い部分の研磨速度は遅く、接触面積密度の低い部分での研磨速度は速い。

【0005】一方、層間絶縁膜の成膜方法としては、高密度プラズマ (High Density Plasma; HDP) とバイアス印加による緻密な膜の形成及び堆積とスパッタリングを同時に行うBias HDP-CVD法が注目されている。この方法では、成膜室内のプラズマ放電をICP (Inductively Coupled Plasma) 法やECR (Electron Cyclotron Resonance) 法により行って高密度プラズマ (High Density Plasma; HDP) を形成する。

【0006】このBias HDP-CVD法は、成膜中に生じた絶縁膜の凸型直角部分を、成膜と同時にArイオンにより物理的に除去していく方法である。従って、狭配線間隔のL&Sパターンであっても、配線間スペースに絶縁膜を埋め込み、且つ平坦に成膜することができる。

【0007】しかし、Bias HDP-CVD法によって成膜される絶縁膜の厚み及び形状と下地パターンとの間には相関関係がある。即ち、広幅配線、或いは狭配線間隔で形成された配線部分、つまり配線パターン密度が高い部分の上部に形成された層間絶縁膜は、堆積された量とほぼ同じ膜厚で成膜される。しかし、狭幅配線パターン、或いは広配線間隔で形成された配線部分のように、配線パターン密度の低い部分上部の層間絶縁膜には、バイアス・スパッタリングの効果により、平坦化されながら層間絶縁膜が成膜される。従って、配線パターン密度の高い部分に形成された層間絶縁膜は、パターン密度の低い部分に形成された絶縁膜に比べ全体的に高くなってしまふ。従って、層間絶縁膜の表面に凹凸ができるため、CMPによる平坦化が必要不可欠となる。

【0008】一方、Bias HDP-CVD法を用いて成膜した凹凸のある層間絶縁膜に対してCMP法による研磨を行う場合、各部分でのCMPの研磨速度は配線パターンの形状及び配線パターン密度に大きく依存することになる。図11に示すように、絶縁膜81上に配線パターン密度の高い広幅配線82と、配線パターン密度の低い狭幅配線83とが混在し、それらの上部に形成さ

れた層間絶縁膜84に対しCMPで平坦化処理を行う場合を用いて説明する。広幅配線82上の層間絶縁膜84と研磨布85との接触面積密度は高いので、研磨速度が遅くなる。また、狭幅配線83部分では層間絶縁膜84と研磨布85との接触面積密度が低くなるので、研磨速度が速くなる。従って、配線パターン密度によって研磨速度に大きな違いが生じるため、平坦化されないという問題があった。

【0009】

【発明が解決しようとする課題】上記したように、層間絶縁膜に対するCMPの研磨速度は、該層間絶縁膜の下方に形成されている配線のパターン形状及びパターン密度に応じて研磨速度が異なるので、層間絶縁膜の平坦化を行うことが困難であるという問題があった。

【0010】本発明の目的は、配線自体のパターン形状及びパターン密度に依存することなく、配線パターン上に成膜した層間絶縁膜を平坦化可能な半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】

【構成】本発明は、上記目的を達成するために以下のように構成されている。本発明（請求項1）の半導体装置の製造方法は、半導体基板上の第1の絶縁層上に金属配線を形成する工程と、前記第1の絶縁層及び金属配線の上に第2の絶縁層を成膜する工程と、前記第2の絶縁層の高い領域に凹部を形成する工程と、前記第2の絶縁層を平坦化する工程とを含むことを特徴とする。

【0012】好ましい実施態様を以下に記載する。ストライプ状に前記第2の絶縁層の高い領域をエッチングし、第2の絶縁層に凹部を形成する。若しくは、複数本のストライプ状、メッシュ状或いは矩形状に前記第2の絶縁層の高い領域をエッチングする。

【0013】前記第2の絶縁層の形成は、プラズマ中における気相反応を用いる。前記第2の絶縁層の形成は、高密度プラズマ中における気相反応を用い、且つイオン原子或いはイオン分子による物理的エッチングを伴うことを特徴とする。

【0014】前記第2の絶縁層を平坦化するに際し、化学的機械研磨を用いる。前記金属配線の平均パターン密度よりも高いパターン密度の高い領域に形成されている前記第2の絶縁層の一部を選択的にエッチングする。

【0015】さらに、望ましい実施態様を以下に記す。前記金属配線はポジ型レジストを用いてパターンニングされ、前記金属配線のパターン密度が高い領域は該金属配線が複数本配置された領域であって、前記第2の絶縁層上にネガ型レジストを塗布する工程と、前記金属配線のパターン形成に用いた露光マスクに対して、最小線幅ルールより長い波長の光を前記第2の絶縁層の高い領域に焦点を合わせて照射し、前記第2のレジストを選択的に露光する工程と、前記ネガ型レジストを現像し、前記第

2の絶縁層の高い部位に開口部を有するレジストパターンを形成する工程と、前記レジストパターンの開口部の第2の絶縁層の一部を選択的にエッチングする工程とを含む。

【0016】【作用】本発明は、上記構成によって以下の作用・効果を有する。半導体集積回路において、Bias HDP-CVD法により成膜した層間絶縁膜の平坦化に適用し、配線パターンの密度の大きい部分、或いは広幅配線部の上に成膜された絶縁膜に溝状或いはメッシュ状の切り込みを入れた後CMPによる平坦化を行う。この結果、絶縁膜の高い領域において、下地パターン密度の粗密に関係無く、層間絶縁膜と研磨布とが接触する面積密度を均一にし、ウェハ各部の研磨速度を同一にすることにより、絶縁膜の平坦化を容易に行うことができる。つまり、これまで完全な埋め込みが困難であったサブ・ミクロンの配線間スペースをボイド無く埋め込むことが可能で、平坦性に優れた層間絶縁膜形成を実現することができる。

【0017】

20 【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【第1実施形態】図1、2は本発明の第1実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0018】先ず、図1(a)に示すように、配線形成のために絶縁層10上にTiN/Ti11、AlCu12、TiN13をスパッタリング法で順次成膜し積層する。なお、TiN/Ti11、TiN13はバリアメタルで、AlCu12が実際の金属配線である。

30 【0019】次いで、リソグラフィ技術及びRIE等のエッチング法を組み合わせ、金属層11、12、13を配線としてパターンニングする（図1(b)）。ここでは、狭い幅からなる狭幅配線14と、広い幅からなる広幅配線15とを形成する。広幅配線15と狭幅配線14との比は、例えば2～3：1である。

【0020】次いで、図1(c)に示すように、絶縁層10及び配線14、15上に、Bias HDP-CVD法によりSiH₄/O₂/Arからなる成膜ガスを用いて層間絶縁膜となるSiO₂膜16を形成する。狭幅配線14形成領域では、狭幅配線14上ではバイアス・スパッタリングの効果により平坦化されつつSiO₂膜16が堆積し、且つ狭幅配線14間の絶縁層10上にSiO₂膜16が埋め込まれる。それに対し、広幅配線15上のSiO₂膜16はそのまま成膜されるため、SiO₂膜16の表面に凹凸が生じる。

【0021】次いで、図1(d)に示すように、レジスト17を塗布した後、フォトリソグラフィ技術により広幅配線15上のSiO₂膜16が高く形成された領域のレジスト17を選択的に除去し、広幅配線15形成領域に対し1本の溝パターンを形成する。この時形成されたレジスト17の溝パターンの幅は、広幅配線15の幅よ

り狭いものとする。

【0022】次いで、図2 (e) に示すように、RIE法を用いて広幅配線15上のSiO₂膜16の一部を選択的にエッチングする。また、SiO₂膜16のエッチングは、広幅配線15の上面まで達しないように途中で止める。具体的には、CMPによるSiO₂膜16の研磨を止めるべき膜厚より浅くエッチングする。

【0023】エッチング終了後、図2 (f) に示すように、O₂ プラズマ処理等を用いてレジスト17を除去する。次いで、図2 (g) に示すように、SiO₂膜16表面に対してCMPを行い、SiO₂膜16の平坦化を図る。

【0024】本実施形態によれば、広幅配線上の層間絶縁膜を選択的に除去することによって、平坦性の向上を図り得る。

〔第2実施形態〕図3、4は本発明の第2実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0025】図3 (a) ~ 図3 (c) に示す工程断面図は、図1 (a) ~ 図1 (b) に示した工程断面図と同様なので、同一符号を付し説明を省略する。次いで、図3 (d) に示すように、SiO₂膜16上にレジスト17を塗布した後、広幅配線15上のSiO₂膜16が高く形成された領域のレジスト17を選択的に除去し、開口を形成する。なお、後の工程のCMPによる研磨の際ディッシングを防ぐために、レジスト17に対して広幅配線15に沿った方向に複数本の溝パターンを形成してパターン密度を調整する。なお、配線に沿った方向と交差する方向に複数の溝を形成しても良い。また更には、メッシュ状等のパターンを使用することも可能である。

【0026】次いで、図4 (e) に示すように、レジスト17をマスクとして、RIE法を用いて広幅配線15上のSiO₂膜16をエッチングし、凹部を形成する。また、SiO₂膜16のエッチングは、広幅配線15の上面まで達しないように途中で止める。具体的には、CMPによるSiO₂膜16の研磨を止めるべき膜厚となる深さまでエッチングによりSiO₂膜16エッチングする。

【0027】エッチング終了後、図4 (f) に示すように、O₂ プラズマ処理等を用いてレジスト17を除去する。次いで、図4 (g) に示すように、SiO₂膜16表面に対してCMPを行い、SiO₂膜16の平坦化を図る。

【0028】本実施形態によれば、広幅配線上の層間絶縁膜を溝状、若しくはメッシュ状のパターンで除去することによって、CMPの際のディッシングを防ぎ、且つ従来のCMPに比べて平坦性が向上する。

【0029】〔第3実施形態〕図5、6は本発明の第3実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0030】先ず、図5 (a) に示すように、配線形成

のために絶縁層10上にTiN/Ti11, AlCu11, TiN13をスパッタリング法で順次成膜し積層する。なお、TiN/Ti11, TiN13はバリアメタルで、AlCu12が実際の金属配線である。

【0031】次いで、図5 (b) に示すように、リングラフィ技術及びRIE等のエッチング法を組み合わせ、金属層11, 12, 13を配線として加工する。ここで、広い間隔で配線が配置された広配線間隔部分21と、狭い間隔で配線が配置された狭配線間隔部分22とからなる複数本の配線を形成する。

【0032】次いで、図5 (c) ~ (e), 図6 (f) に順に示すように、絶縁層10及び配線14, 15上に、成膜ガスとしてSiH₄/O₂/Arを用いたBiasHDP-CVD法により層間絶縁膜となるSiO₂膜16を形成する。広配線間隔部分21では、絶縁層10上にSiO₂膜16が埋め込まれると同時に、配線上のSiO₂膜16がバイアス・スパッタリングの効果により平坦化されながら堆積する。それに対し、狭配線間隔部分22上のSiO₂膜16は配線間スペースのSiO₂膜16と同じ膜厚で成膜される。その結果、広配線間隔部分21と狭配線間隔部分22との間のSiO₂膜16の表面には凹凸が生じる。

【0033】次いで、図6 (g) に示すように、SiO₂膜16上にレジスト17を塗布した後、狭配線間隔部分22上のレジスト17を選択的に除去し、開口を形成する。

【0034】次いで、図6 (h) に示すように、RIE法を用いて狭配線間隔部分22上のSiO₂膜16をエッチングし、凹部を形成する。また、SiO₂膜16のエッチングは、狭配線間隔部分22の金属配線上面まで達しないように途中で止める。より具体的には、CMPによるSiO₂膜16の研磨を止めるべき膜厚となる深さより浅くSiO₂膜16をエッチングにより除去する。

【0035】エッチング終了後、図6 (i) に示すように、O₂ プラズマ処理等を用いてレジスト17を除去する。次いで、図6 (j) に示すように、SiO₂膜16表面に対してCMPを行い、SiO₂膜16の平坦化を図る。

【0036】本実施形態によれば、狭配線間隔部分上の層間絶縁膜を選択的に除去することによって、平坦性の向上を図り得る。

〔第4実施形態〕図7、8は本発明の第4実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0037】先ず、図7 (a) に示すように、配線形成のために絶縁層10上にTiN/Ti11, AlCu12, TiN13をスパッタリング法で順次成膜し積層する。なお、TiN/Ti11, TiN13はバリアメタルで、AlCu12が実際の金属配線である。

【0038】次いで、図7 (b) に示すように、リング

ラフィ技術及びRIE等のエッチング法を組み合わせ、金属層11、12、13を配線としてパターンニングする。ここで、広い間隔で配線が配置された広配線間隔部分21と、狭い間隔で配線が配置された狭配線間隔部分22とかなる複数本の配線を形成する。

【0039】次いで、図7(c)に順に示すように、Bias HDP-CVD法により層間絶縁膜となるSiO₂膜16を形成する。広配線間隔部分21では、絶縁層10上にSiO₂膜16が埋め込まれると同時に、配線上のSiO₂膜16がバイアス・スパッタリングの効果により平坦化されながら堆積する。それに対し、狭配線間隔部分22上のSiO₂膜16は堆積されるSiO₂膜16とはほぼ同じ膜厚で成膜される。その結果、広配線間隔部分21と狭配線間隔部分22との間のSiO₂膜16の表面には凹凸が生じる。

【0040】次いで、図7(d)に示すように、SiO₂膜16上にレジスト17を塗布した後、狭配線間隔部分22上のレジスト17を選択的に除去し、開口を形成する。なお、後の工程のCMPによる研磨の際にディッシングを防ぐために、配線に沿った方向に複数本の溝パターンを形成してパターン密度を調整する。また、配線に沿った方向と交差する方向に複数の溝を形成しても良い。また更には、メッシュ状或いは矩形状等のパターンを使用することも可能である。

【0041】次いで、図8(e)に示すように、RIE法を用いて狭配線間隔部分22上のSiO₂膜16をエッチングし、凹部を形成する。また、SiO₂膜16のエッチングは、金属配線上面まで達しないように途中で止める。具体的には、CMPによるSiO₂膜16の研磨を止めるべき膜厚となる深さより浅く、SiO₂膜16をエッチングにより除去する。

【0042】次いで、図8(f)に示すように、O₂プラズマ処理等を用いてレジスト17を除去する。次いで、図8(g)に示すように、SiO₂膜16表面に対してCMPを用いて、SiO₂膜16の平坦化を行う。

【0043】本実施形態によれば、狭配線間隔部分22上のSiO₂膜16を溝状、若しくはメッシュ状のパターンで除去することによって、CMPの際のディッシングを防ぎ、且つ従来のCMPに比べて平坦性が向上する。

【0044】〔第5実施形態〕図9、10は本発明の第5実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0045】先ず、図9(a)に示すように、配線形成のために絶縁層10上にTiN/Ti11、AlCu12、TiN13をスパッタリング法で順次成膜し積層する。なお、TiN/Ti11、TiN13はバリアメタルで、AlCu12が実際の金属配線である。

【0046】次いで、図9(b)に示すように、リソグラフィ技術及びRIE等のエッチング方法を組み合わせ

て、金属層11、12、13を金属配線としてパターンニングする。金属配線は、ポジ型レジストを用いてパターンニングする。ここで、広い間隔で配線が配置された広配線間隔部分21と、狭い間隔で配線が配置された狭配線間隔部分22とかなる複数本の配線を形成する。

【0047】次いで、図9(c)に示すように、Bias HDP-CVD法により層間絶縁膜となるSiO₂膜16を形成する。配線間隔が0.4μm以上の広配線間隔部分21には、バイアス・スパッタリングの効果により、平坦化されながらSiO₂膜16が埋め込まれる。狭配線間隔部分22では、堆積されるSiO₂膜とはほぼ同じ膜厚でSiO₂膜16が成膜される。その結果、広配線間隔部分21と狭配線間隔部分22との間のSiO₂膜16の表面には凹凸が生じる。

【0048】次いで、図9(d)に示すように、配線の加工に用いたポジ型レジストと溶可特性の異なるネガ型レジスト17をSiO₂膜16上に塗布した後、配線パターンを形成する際に使用したフォトマスク30を用いて最小線幅ルールより波長の長い光源、例えばg線(波長435nm)により露光する。露光の際、即ちSiO₂膜16が凸になっている部分、即ち狭配線間隔部分22のレジスト17上に合わせて露光する。つまり、即ちSiO₂膜16が凹となっている部分、即ち広配線間隔部分21ではデ・フォーカス状態となっている。

【0049】広配線間隔部分21のレジスト17は、焦点がずれているために遮光膜の下であっても感光する。また、狭配線間隔部分22のレジスト17は、その配線間隔より長い波長で露光を行っているので、フォトマスク18の狭配線間隔部分が分離されず、連続した遮光マスクと同様の効果により感光されることがない。また、回折現象により、狭配線間隔部分22のレジスト17の非感光領域の幅は、実際の幅より狭い。そして、現像処理を行うと、図10(e)に示すように、感光しない狭配線間隔部分22上のレジスト17が除去され、開口が形成される。

【0050】次いで、図10(f)に示すように、レジスト17をマスクとしてRIE法を用いて狭配線間隔部分22のSiO₂膜16をエッチングし、凹部を形成する。また、SiO₂膜16のエッチングは、広配線間隔部分15の金属配線の上面まで達しないように途中で止める。具体的には、CMPによるSiO₂膜16の研磨を止めるべき膜厚となる深さより浅く、SiO₂膜16をエッチングする。

【0051】次いで、図10(g)に示すように、O₂プラズマ処理等を用いてレジスト17を除去する。そして、図10(h)に示すように、SiO₂膜16表面に対してCMPを行い、SiO₂膜16の平坦化処理を行う。

【0052】本実施形態によれば、広配線間隔部分上の層間絶縁膜を選択的に除去することによって、平坦性の

10

20

30

40

50

向上を図り得る。更に、層間絶縁膜を選択的に除去するためのレジストパターンを形成する工程において、配線パターンの露光に使用した露光マスクを用い、配線パターンの露光の際の露光波長より長い波長で、且つ広配線間隔部分の層間絶縁膜に焦点を合わせることによって、広配線間隔部分のレジストが選択的に感光するので、特別な露光マスクを用意する必要がない。

【0053】なお、本発明は、上記実施形態に限定されるものではない。ここでは金属配線としてAlCu11を用いたが、金属配線はAl、AlSiCu、Cuでも良い。また、バリアメタル11、13は、Ti、V、Cr、Zr、Nb、Mo、F、Ta、Wといった高融点金属、又は前記元素とSiとからなる材料、或いは前記元素とSiとから成る群より選ばれた材料の窒化物を用いることが可能である。

【0054】SiO₂膜の成膜に用いるガスは、SiH₄/O₂/Arの組み合わせ以外にもSiH₄/CF₄/O₂/Ar、SiF₄/O₂/Ar、SiH₄F₂/O₂/Ar等の組み合わせが適用可能である。

【0055】また、SiO₂膜16の除去に、RIE法だけでなく、HFやNH₄F等を用いたウェットエッチング法を用いても良い。また、Bias HDP-CVDによって形成された膜だけでなく、HDP-CVD、或いは通常のCVD法で形成された膜に対して平坦化を行う際に本発明を適用しても良い。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0056】

【発明の効果】以上説明したように本発明によれば、層間絶縁膜の高い部位の一部を選択的に除去した後、平坦化を行うことで一様に平坦化を行うことができる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の製造工程を*

* 示す工程断面図。

【図2】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】第3実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第3実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図7】第4実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図8】第4実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図9】第5実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図10】第5実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図11】従来のCMPによる研磨工程の問題点を説明する図。

【符号の説明】

10…絶縁層

11…TiN/Ti

12…AlCu

13…Ti

14…狭幅配線

15…広幅配線

16…SiO₂膜

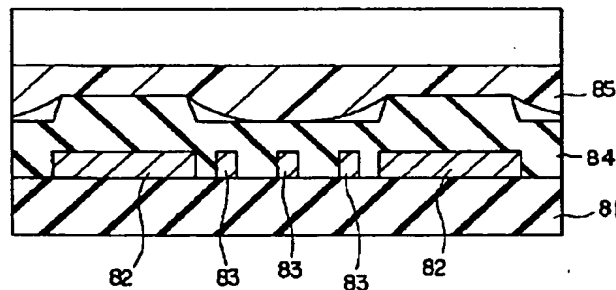
17…レジスト

21…広配線間隔部分

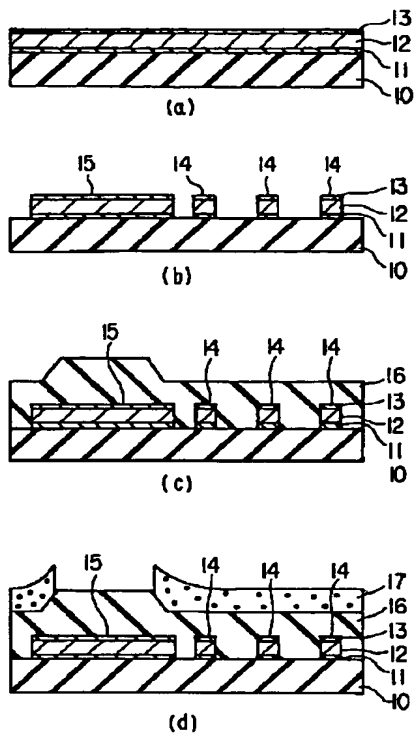
22…狭配線間隔部分

30…フォトマスク

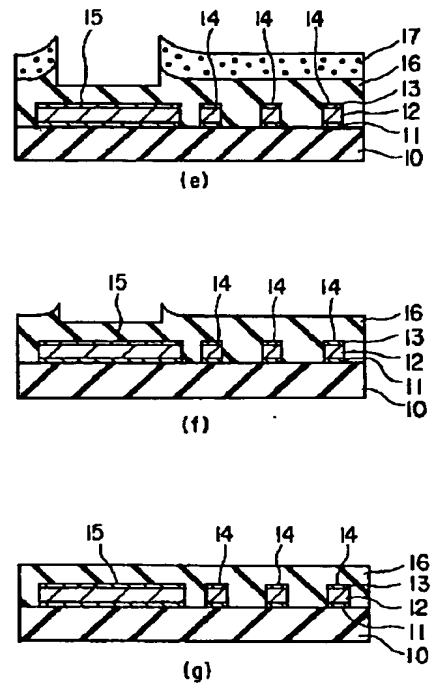
【図11】



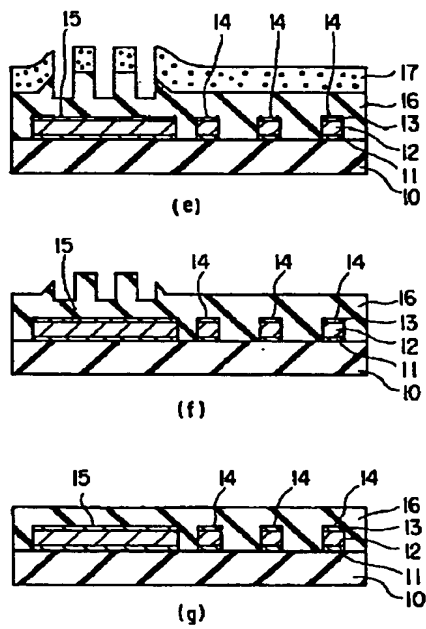
【図1】



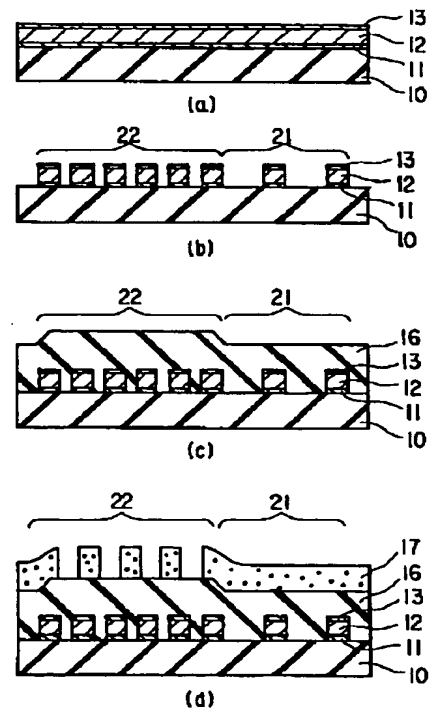
【図2】



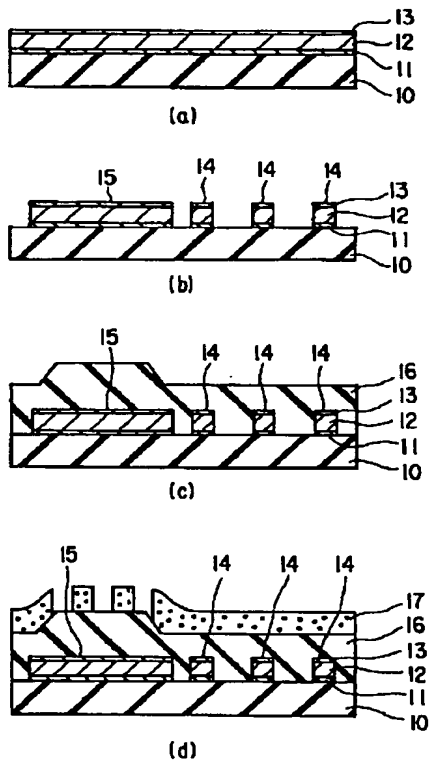
【図4】



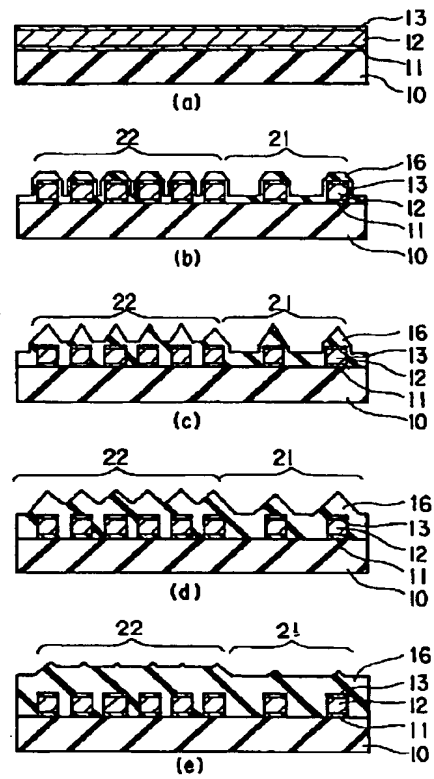
【図7】



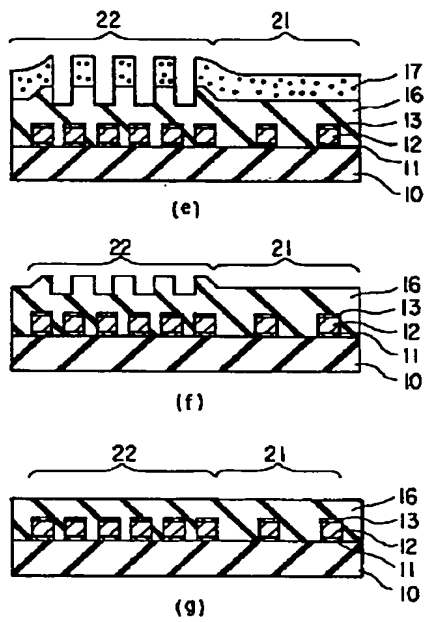
【図3】



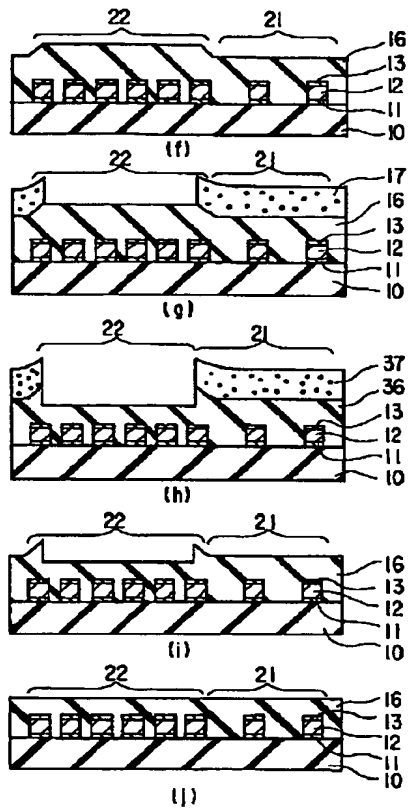
【図5】



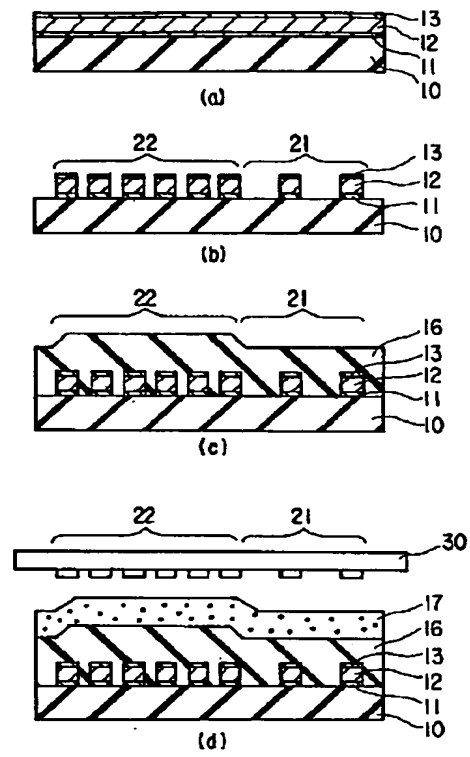
【図8】



【図6】



【図9】



【図10】

